

NETWORK CONNECTION DEVICE**Publication number:** JP6209319 (A)**Publication date:** 1994-07-26**Inventor(s):** ISHIKAWA KATSUICHI +**Applicant(s):** FUJI XEROX CO LTD +**Classification:**

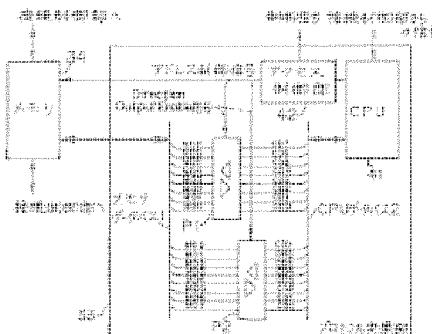
- international: H04L12/28; H04L29/06; H04L12/28; H04L29/06; (IPC1-7): H04L12/28; H04L29/06

- European:

Application number: JP19930002857 19930111**Priority number(s):** JP19930002857 19930111**Abstract of JP 6209319 (A)**

PURPOSE: To improve the conversion processing efficiency of the address bit sending order by writing an address in a storage means as address data which is converted to the bit sending order of a network of the conversion destination.

CONSTITUTION: A CPU 41 instructs an access control part 42 to select a port P2 or set a memory 34 to the writable state. As the result, the output enable signal from the access control part 42 is inputted to only the port P2, and the write signal from the access control part 42 is inputted to the memory 34, and the CPU 41 writes address data in a register A in the memory 34. At this time, address data of the bit sending order of D7 to D0 which is made opposite to the bit sending order of D0 to D7 of inputted address data by conversion is outputted from the port P2. As the result, address data according with the bit sending order of LAN-B is written in the memory 34.

Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-209319

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl.⁵

H 04 L 12/28
29/06

識別記号 庁内整理番号

8732-5K
7240-5K

F I

H 04 L 11/ 00
13/ 00

技術表示箇所

3 1 0 C
3 0 5 B

審査請求 未請求 請求項の数 1 書面 (全 7 頁)

(21)出願番号

特願平5-2857

(22)出願日

平成5年(1993)1月11日

(71)出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂三丁目3番5号

(72)発明者 石川 勝一

神奈川県川崎市高津区坂戸3丁目2番1号

K S P R & D ビジネスパークビル

富士ゼロックス株式会社内

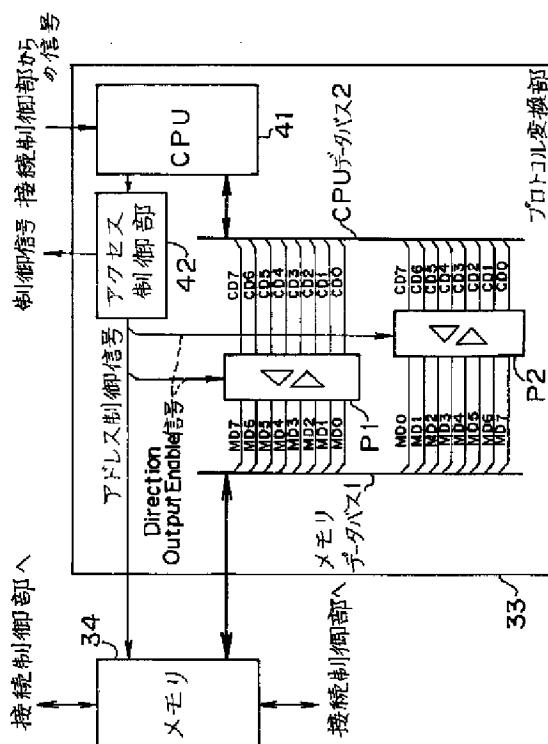
(74)代理人 弁理士 木村 高久

(54)【発明の名称】 ネットワーク接続装置

(57)【要約】

【目的】アドレスのビット送出順序の変換処理効率を向上させることができるネットワーク接続装置を提供する。

【構成】この発明のネットワーク接続装置は、各ネットワークそれぞれに対応し、ネットワークとのデータの送受信を制御する複数の接続制御手段と、該各接続制御手段間でのデータを中継する記憶手段と、該記憶手段に対して前記各ネットワークそれぞれに対応するアドレスのビット送出順序に適合するアドレスデータを入出力すると共に、これらのアドレスデータと所定のビット送出順序のアドレスデータとを互いに変換する双方向の複数のポート手段と、変換元のネットワークに対応するポート手段を介して前記記憶手段から当該変換元のネットワークからのアドレスデータを読み出すと共に、この読み出したアドレスデータを変換先のネットワークに対応するポート手段を介して前記記憶手段に書き込むアクセス手段とを具備して構成されている。



【特許請求の範囲】

【請求項1】 アドレスのビット送出順序が異なる複数のネットワークと接続されるネットワーク接続装置において、

前記複数のネットワークとのデータの送受信を制御する複数の接続制御手段と、

前記複数の接続制御手段の間でデータを中継する記憶手段と、

前記記憶手段に対して前記複数のネットワークのそれぞれに対応するアドレスのビット送出順序に適合するアドレスデータを入出力する双方向の複数のポートと、
変換元のネットワークに対応するポートを介して前記記憶手段から当該変換元のネットワークからのアドレスデータを読み出すと共に、この読み出したアドレスデータを変換先のネットワークに対応するポートを介して前記記憶手段に書き込むアクセス手段とを具備したことを特徴とするネットワーク接続装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、アドレスのビット送出順序が異なる複数のネットワークと接続されるネットワーク接続装置に関する。

【0002】

【従来の技術】 従来、ローカルエリアネットワーク（以下、LANという）には、アクセス制御方式によりアドレスのビット送出順序が異なるものがある。例えば、IEEE802.3標準のCSMA/CD方式では、アドレスを LSB から送出するようにし、IEEE802.5標準のトーカンリング方式では、アドレスを MSB から送出するようにしている。

【0003】 このようなアドレスのビット送出順序が異なる LAN を接続するためには、各 LAN 間にネットワーク接続装置を設け、このネットワーク接続装置が、各 LAN のアドレスのビット送出順序に合わせたアドレスの変換を行うことにより、各 LAN 間の通信を可能にしている。このアドレスの変換方式としては、特開平3-132233号公報に開示されたものが知られている。

【0004】 図3は従来のシステムの構成図を示している。図3において、システムは、上記CSMA/CD方式を採用している LAN-A には端末1が接続されており、また上記トーカンリング方式を採用している LAN-B には端末2が接続されており、更にこれらの LAN 間にネットワーク接続装置3が介在している。

【0005】 ネットワーク接続装置3は、主に各 LAN との送受信を制御する接続制御部31、32と、各接続制御部で取り出されたフレームのプロトコル変換を行うプロトコル変換部33と、各接続制御部とプロトコル変換部33との間でフレームを中継するメモリ34から構成されている。

【0006】 このような従来のシステムの通信について

簡単に説明する。最初に、端末1が端末2に対してデータ（フレーム）を送出すると、このフレームは、アドレスのビット送出順序が LSB から送出されるように、LAN-A、接続制御部31を経た後、プロトコル変換部33の命令に応答した接続制御部31によってメモリ34に格納される。すると、プロトコル変換部33は、メモリ34に格納されたフレームのアドレスを、LAN-Bにおいて伝送可能なアドレスのビット送出順序（この場合はアドレスが MSB から送出される）で送出されるように、ビット送出順を変換する（書き換える）。そして、プロトコル変換部33が接続制御部32に読み出し可能である旨の命令を与えると、接続制御部32は、メモリ34から、アドレス変換されたフレームを読み出して LAN-B へ送出する。この結果として、アドレス変換されたフレームが端末2に入力されることとなる。一方、端末2から端末1へデータ（フレーム）が送出された場合においても、上記同様な処理が行われる。

【0007】 なお従来においては、プロトコル変換部33において実行されるアドレスのビット送出順序変換全てを、ソフトウェア的に行っていた。

【0008】 ここでプロトコル変換部33の更に詳細な構成を図4に示す。図4において、プロトコル変換部33は、メモリ34に対するアクセスを行うCPU41、CPU41の制御に従ってメモリ34に対してアドレス・制御信号を送出するとともに、上記各接続制御部に対して制御信号を送出するアクセス制御部42を備えている。またCPU41には、アドレスを一時的に記憶する図示しないレジスタA、レジスタBが設けられている。

【0009】 次に、アドレス変換処理について図5を参照して説明する。

【0010】 接続制御部31が、LAN-Aを経て入力されたフレームをメモリ34に記憶するとともに、メモリ34に LAN-A からのフレームデータを書き込んだ旨をプロトコル制御部33へ通知すると、プロトコル制御部33においては、CPU41は、アクセス制御部42に対して上記データの読み出しを指示する。

【0011】 この結果メモリ34にはアクセス制御部42からのリード信号が入力されることになるので、CPU41は、n=8と定義し、メモリ34から8ビットのアドレスデータ（例えば11001111）を読み込んで、自己内に設けられているレジスタA（図示しない）に保持する（ステップ51）。次にCPU41は、このレジスタA内のアドレスについて、右ローテート（最下位ビットから最上位ビットへ）順に従ったビット位置のビットデータを自己内に設けられている図示しないバッファCに書き込む（キャリービットフラグにセットする）と共に（ステップ52）、この値を、自己内に設けられているレジスタB（図示しない）に左ローテート（最上位ビットから最下位ビットへ）順に従ったビット位置に書き込む（ステップ53）。更にn=n-1を演

算して（ステップ54）、 $n=0$ であるか否かを判断し（ステップ55）、 $n\neq 0$ の場合は、上記ステップ52に戻り、 $n=0$ に達するまで、ステップ52～ステップ55を繰り返す。そして、ステップ55において $n=0$ の場合は、レジスタB内のアドレスデータ（この例では11110011）をメモリ34に書き込む（ステップ56）。

【0012】このようにしてアドレスの送出順序が変換されたアドレスデータを含むLAN-Aからのフレームデータは、CPU41の指示に従った接続制御部32によって読み出され、LAN-Bへ送出されることになる。

【0013】なおLAN-BからLAN-Aへのフレームの送出に際しても、上記同様の変換処理が施されることになる。

【0014】この様にビット順序変換をソフトウェア的に行うのに対し、特開平3-268132号公報に開示されている様に、ビット順序変換処理をハードウェア的に実現することによって、処理時間を短縮させるようしたのも知られている。

【0015】更に、上述したようなソフトウェア的な処理及びハードウェア的な処理を組み合わせてビット順序変換を行うようにした、図6に示されるハードウェアも可能である。図6に示す例は、図4の示す例の構成において、アドレス変換レジスタ60を追加した構成になっている。なおアドレス変換レジスタ60においては、上述したLAN-A及びLAN-Bのビット送出順序に適合するように設定されている。

【0016】次にアドレス変換処理について図7を参照して説明する。

【0017】CPU41は、接続制御部31から、上記同様にLAN-Aからのフレームをメモリ34に書き込んだ旨を受け取ると、アクセス制御部42に対して、メモリ34を読み出し可能状態とすると共に、またアドレス変換レジスタ60を書き込み可能状態とするように指示する。するとメモリ34にはアクセス制御部42からのリード信号が入力され、またアドレス変換レジスタ60にはアクセス制御部42からのライト信号が入力されるので、CPU41は、データバス1を介してメモリ34から8ビットのアドレスデータ（例えば11001111）を読み込んで、自己内に設けられているレジスタA（図示しない）に書き込むと共に（ステップ71）、このレジスタA内のアドレスデータを、データバス1、データバス2を介してアドレス変換レジスタ60に書き込む（ステップ72）。

【0018】次にCPU41は、アクセス制御部42に対して、メモリ34を書き込み可能状態とすると共に、またアドレス変換レジスタ60を読み出し可能状態とするように指示する。するとメモリ34にはアクセス制御部42からのライト信号が入力され、またアドレス変換

レジスタ60にはアクセス制御部42からのリード信号が入力されることになので、CPU41は、データバス3、データバス1を介してアドレス変換レジスタ60からアドレスデータを読み込んで、自己内のレジスタAに書き込む（この場合は11110011）と共に（ステップ73）、このレジスタA内のアドレスをデータバス1を介してメモリ34に書き込む（ステップ74）。

【0019】このようにしてアドレスの送出順序が変換されたアドレスデータを含むLAN-Aからのフレームデータは、CPU41の指示に従った接続制御部32によって読み出され、LAN-Bへ送出されることになる。

【0020】なおLAN-BからLAN-Aへのフレームの送出に際しても、上記同様の変換処理が施されることになる。

【0021】

【発明が解決しようとする課題】しかしながら上記従来においては、ソフトウェア的にビット順序の変換処理を行うようにしたものにあっては、各ビット位置毎にアドレス変換しなくてはならず、このため処理ステップ数が多くなりビット送出順序処理効率を向上させることは難しい。

【0022】またソフトウェア的な処理及びハードウェア的な処理を組み合わせてビット順序変換を行うようにしたものにあっては、メモリとCPU内のレジスタ間でのアドレスの読み書き、及びそのレジスタとアドレス変換レジスタ間でのアドレスの読み書きを実行しなければならず、必ずしもビット送出順序処理効率が良いとは言い難い。

【0023】この発明は、アドレスのビット送出順序の変換処理効率を向上させることができるネットワーク接続装置を提供することを目的とする。

【0024】

【課題を解決するための手段】この発明は、アドレスのビット送出順序が異なる複数のネットワークと接続されるネットワーク接続装置において、前記複数のネットワークとのデータの送受信を制御する複数の接続制御手段と、該複数の接続制御手段の間でデータを中継する記憶手段と、該記憶手段に対して前記複数のネットワークのそれぞれに対応するアドレスのビット送出順序に適合するアドレスデータを入出力する双方向の複数のポートと、変換元のネットワークに対応するポートを介して前記記憶手段から当該変換元のネットワークからのアドレスデータを読み出すと共に、この読み出したアドレスデータを変換先のネットワークに対応するポートを介して前記記憶手段に書き込むアクセス手段とを具備している。

【0025】

【作用】この発明においては、アクセス手段によって、記憶手段に記憶されている変換元（送信元）のネットワ

ークからのアドレスデータを、この変換元のネットワークに対応する双方向のポートを介して所定のビット送出順序のアドレスデータとして読み出すと共に、このアドレスデータを、変換先（送信先）のネットワークに対応する双方向のポートを介して当該変換先のネットワークのビット送出順序に変換されたアドレスデータとして記憶手段に書き込むようにしているので、アドレスのビット送出順序が異なる複数のネットワーク間においてデータの送受を実施することができる。

【0026】

【実施例】以下、本発明の実施例を添付図面を参照して説明する。

【0027】図1は、本発明に係るネットワーク接続装置の一実施例をブロック図で示したものである。このブロック図は、図6に示した従来のブロック図においてアドレス変換レジスタ60を削除し、双方向のポートP1、2を追加した構成になっている。なお図1において、図6に示した構成要素と同様の機能を果たす部分には同一の符号を付している。

【0028】ポートP1は、メモリデータバス1側のアドレスデータ入出力端子MD7、MD6、MD5、MD4、MD3、MD2、MD1、MD0と、CPUデータバス2側のアドレスデータ入出力端子CD7、CD6、CD5、CD4、CD3、CD2、CD1、CD0とがそれ対応している。

【0029】ポートP2は、メモリデータバス1側のアドレスデータ入出力端子MD0、MD1、MD2、MD3、MD4、MD5、MD6、MD7と、CPUデータバス2側のアドレスデータ入出力端子CD7、CD6、CD5、CD4、CD3、CD2、CD1、CD0とがそれ対応している。

【0030】これらのポートにおいては、入出力端子MD7から入出力される 2^7 のビット位置のデータD7は入出力端子CD7から入出力される。

【0031】入出力端子MD6から入出力される 2^6 のビット位置のデータD6が入出力端子CD6から入出力される。

【0032】入出力端子MD5から入出力される 2^5 のビット位置のデータD5が入出力端子CD5から入出力される。

【0033】入出力端子MD4から入出力される 2^4 のビット位置のデータD4が入出力端子CD4から入出力される。

【0034】入出力端子MD3から入出力される 2^3 のビット位置のデータD3が入出力端子CD3から入出力される。

【0035】入出力端子MD2から入出力される 2^2 のビット位置のデータD2が入出力端子CD2から入出力される。

【0036】入出力端子MD1から入出力される 2^1 の

ビット位置のデータD1が入出力端子CD1から入出力される。

【0037】入出力端子MD0から入出力される 2^0 のビット位置のデータD0が入出力端子CD0から入出力される。

【0038】したがって、D0、D1、D2、D3、D4、D5、D6、D7のビット送出順序のアドレスデータがメモリデータバス1を経てポートP1に入力されると、ポートP1からは、D0、D1、D2、D3、D4、D5、D6、D7のビット送出順序のアドレスデータがCPUデータバス2に出力される。なおD0～D7のビット送出順序のアドレスデータがCPUデータバス2を経てポートP1に入力された場合は、ポートP1からは、D0～D7のビット送出順序のアドレスデータがメモリデータバス1に出力されることになる。

【0039】またD7、D6、D5、D4、D3、D2、D1、D0のビット送出順序のアドレスデータがメモリデータバス1を経てポート2Pに入力されると、ポートP2からは、D0、D1、D2、D3、D4、D5、D6、D7のビット送出順序のアドレスデータがCPUデータバス2に出力される。なおD0～D7のビット送出順序のアドレスデータがポート2Pに入力されると、ポート2Pからは、D7～D0のビット送出順序のアドレスデータがメモリデータバス2に出力されることになる。

【0040】係る構成において、アドレス変換処理について図2を参照して説明する。

【0041】アクセス制御部31が、LAN-A上の端末1から送出されたLAB-B上の端末2へのフレームを受信し、このフレームをメモリ34に格納すると共に、メモリ34にLAN-Aのフレームデータを書き込んだ旨及び送信先情報をプロトコル制御部33へ通知すると、プロトコル制御部33においては、CPU41は、アクセス制御部42に対して、ポートP1を選択するよう、またメモリ34を読み出し可能状態にするように指示する。この結果、ポートP1のみにアクセス制御部42からの出力イネーブル信号が入力され、またメモリ34にはアクセス制御部42からのリード信号が入力される。

【0042】なおLAN-A、LAN-Bそれぞれのビット送出順序は予め定義されているので、CPU41は、フレームデータを書き込んだ旨及び送信先情報を通知した接続制御部を知ることにより、変換元（送信元）のネットワークに対応するポートを知ることができ、また受け取った送信先情報に基づいて、変換先（送信先）のネットワークに対応するポートを知ることができる。

【0043】ところでCPU41は、メモリ34が読み出し可能となり、ポートP1が選択されると、メモリデータバス1、ポートP1、CPUデータバス2を介してメモリ34から上記フレームデータ内のアドレスデータ

を読み込んで、自己内に設けられているレジスタA（図示しない）に書き込む（ステップ100）。

【0044】このときポートP1からは、メモリデータバス1を経て入力されたD0、D1、D2、D3、D4、D5、D6、D7のビット送出順序のアドレスデータが、同一のビット送出順序で出力される。ここでLAN-Aからのフレームのアドレスデータが例えば“11001111”であった場合は、上記レジスタAには“11001111”的アドレスデータが書き込まれることになる。

【0045】次にCPU41は、アクセス制御部42に対して、ポートP2を選択するように、またメモリ34を書き込み可能状態にするように指示する。この結果、ポートP2のみにアクセス制御部42からの出力イネーブル信号が入力され、またメモリ34にはアクセス制御部42からのライト信号が入力される。するとCPU41は、レジスタA内のアドレスデータを、CPUデータバス2、ポートP2、メモリデータバス1を介してメモリ34に書き込む（ステップ200）。

【0046】このときポートP2からは、CPUデータバス2を経て入力されたD0、D1、D2、D3、D4、D5、D6、D7のビット送出順序のアドレスデータが、このビット送出順序とは逆に変換された、D7、D6、D5、D4、D3、D2、D1、D0のビット送出順序のアドレスデータが出力される。この結果として、メモリ34には、LAN-Bのビット送出順序に従ったアドレスデータ（この例では“11110011”的ビット送出順序のデータ）が書き込まれることになる。

【0047】このようにしてアドレスの送出順序が変換されたアドレスデータを含むLAN-Aからのフレームデータは、CPU41の指示に従った接続制御部32によって読み出され、LAN-Bへ送出されることになる。

【0048】なおLAN-AからLAN-Bへのフレームの送出に際しても、上記同様なアドレス変換処理が実施されることになる。

【0049】なお上述した実施例では、ビット送出順序の異なる2つのLAN-A、LAN-Bに対応してポートP1、P2を設けているが、ビット送出順序の異なるネットワークが3つ以上の場合には、それぞれのネットワークに対応するポートを設け、上述したような変換処理を実施することにより、アドレス変換を迅速に行うことができる。

【0050】このとき、図1において、ネットワークに対応するポートのメモリデータバス1側の入出力端子の配列を、当該ネットワークのビット送出順序に従ったビット配置になるように設定し、一方、CPUデータバス2側の入出力端子の配列を、上述したポートP1、P2

のCPUデータバス2側のビット配置と同一になるよう設定すれば良い。

【0051】以上説明したように本実施例によれば、プロトコル変換部33によって、変換元（送信元）のネットワークに対応するポートを介して、メモリ34に書き込まれたアドレスデータを読み出すと共に、変換先（送信先）のネットワークに対応するポートを介して、メモリ34へ書き込むことによって、アドレスのビット送出順序の変換を行うことができることとなり、変換処理を迅速に実施することができる。従ってフレームパケット中継能力を向上させることができる。

【0052】なお図6に示した従来のプロトコル変換部33においては、メモリ34内のアドレスデータをCPU41内のレジスタAに一旦書き込んだ後、このアドレスデータをアドレス変換レジスタ60に書き込み、次にアドレス変換レジスタ60内のアドレスデータをCPU41内のレジスタAに一旦書き込んだ後、このアドレスデータをメモリ34に書き込まなければならず、このためアドレス変換処理に多くの時間を要していた。

【0053】

【発明の効果】以上説明したように本発明によれば、アクセス手段によって、記憶手段に記憶されている変換元（送信元）のネットワークからのアドレスデータを、この変換元のネットワークに対応する双方向のポートを介して所定のビット送出順序のアドレスデータとして読み出すと共に、このアドレスデータを、変換先（送信先）のネットワークに対応する双方向のポートを介して当該変換先のネットワークのビット送出順序に変換されたアドレスデータとして記憶手段に書き込むようしているので、アドレスのビット送出順序が異なる複数のネットワーク間においてデータの送受を実施することができる。

【図面の簡単な説明】

【図1】本発明に係るネットワーク接続装置の一実施例を示すブロック図。

【図2】本実施例のアドレスのビット送出順序の変換処理動作を示すフローチャート。

【図3】アドレスのビット送出順序の異なるネットワークから構成される従来のシステムの構成を示すブロック図。

【図4】従来のプロトコル変換部の構成を示す図。

【図5】図4に示すプロトコル変換部の処理動作を示すフローチャート。

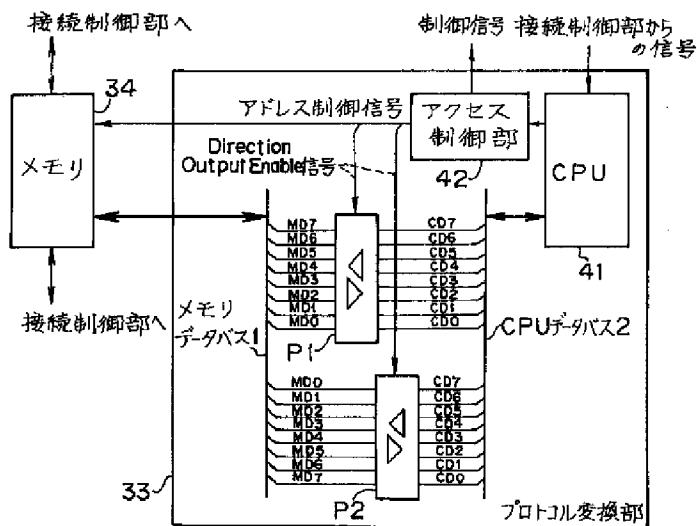
【図6】従来の他のプロトコル変換部の構成を示す図。

【図7】図6に示すプロトコル変換部の処理動作を示すフローチャート。

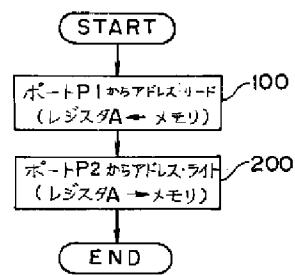
【符号の説明】

33…プロトコル変換部、34…メモリ、41…CPU、42…アクセス制御部、P1、P2…ポート。

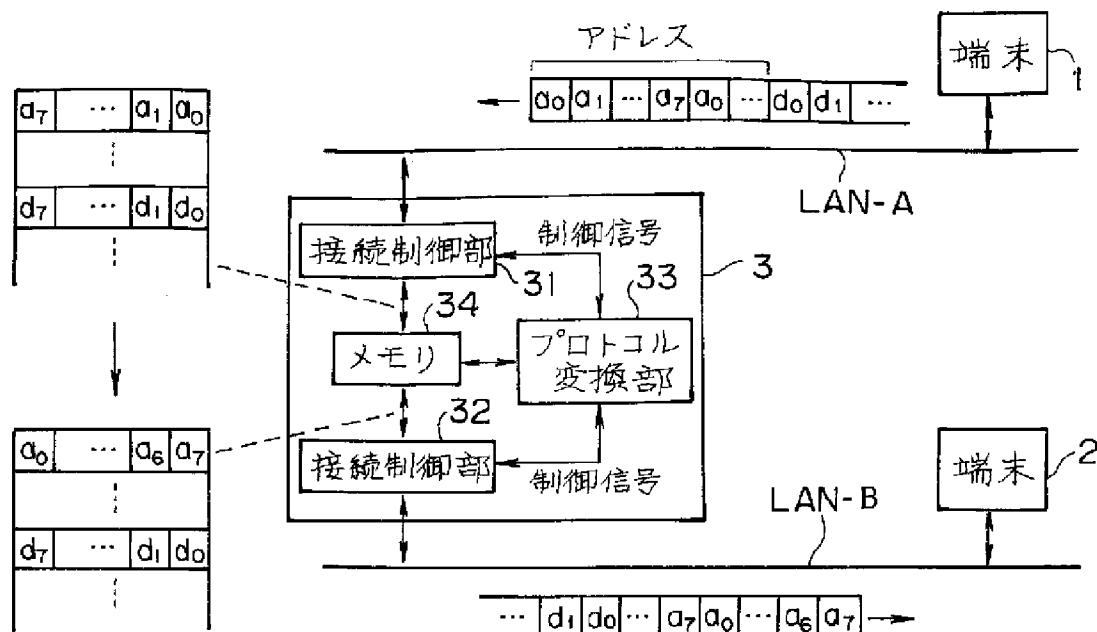
【図1】



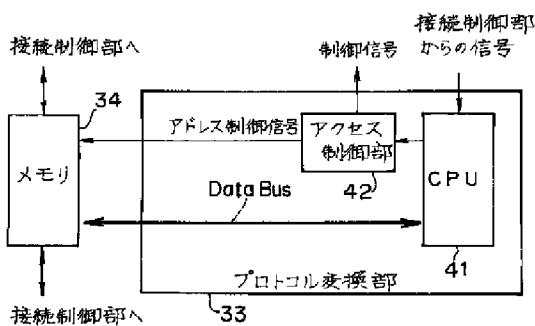
【図2】



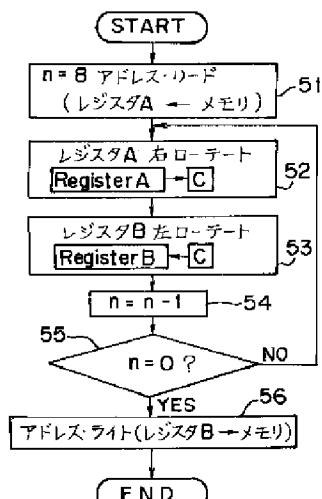
【図3】



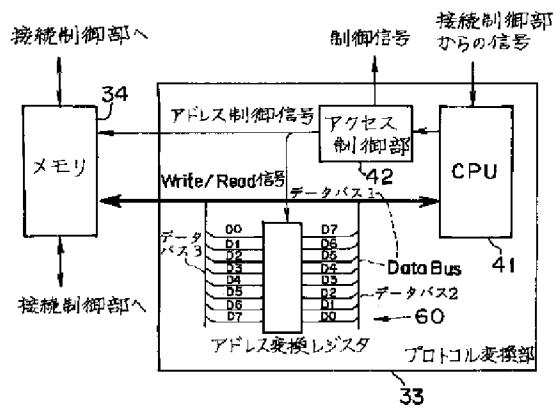
【図4】



【図5】



【図6】



【図7】

